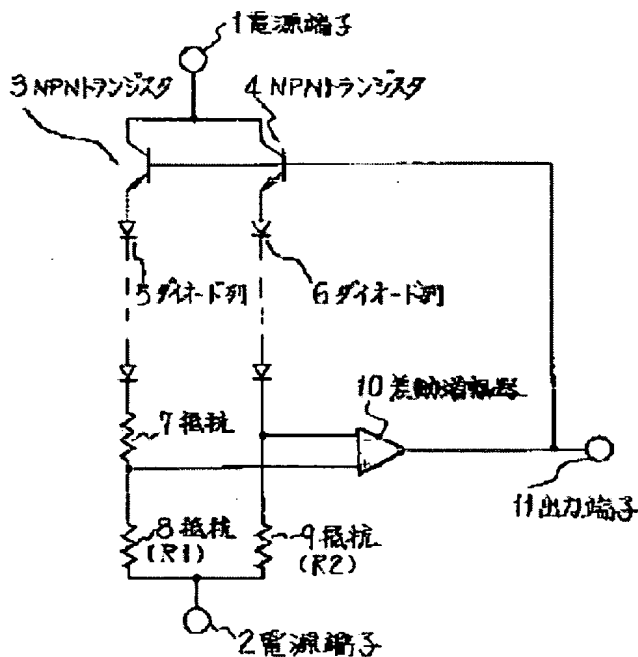


REFERENCE VOLTAGE GENERATING CIRCUIT

Patent number: JP6043956
Publication date: 1994-02-18
Inventor: KIMURA MADOKA
Applicant: NEC CORP
Classification:
- international: G05F3/30; H03F3/45
- european:
Application number: JP19920177853 19920706
Priority number(s):

Abstract of JP6043956

PURPOSE: To easily provide a differential amplifier by optionally setting an input voltage to the differential amplifier.
CONSTITUTION: This circuit includes power terminals 1 and 2, bipolar transistors (TR) 3 and 4, diode arrays 5 and 6 of (m) series-connected diodes, resistances 7, 8, and 9, and the differential amplifier 10; and the power terminal 1 is connected to the collectors of the bipolar TRs 3 and 4, the power terminal 2 to the other-end sides of the resistances 8 and 9, the emitter of the bipolar TR 3 to the anode of the diode array 5, the cathode of the diode array 5 to one terminal of the resistance 7, and so on the other terminal of the resistance 7 to one terminal of the resistance 8. Further, the emitter of the bipolar TR 4 is connected to the anode of the diode array 6, the cathode of the diode array 6 to one terminal of the resistance 9, the other end of the resistance 7 to the uninverted input terminal of the differential amplifier 10, one terminal of the resistance 9 to the uninverted input terminal of the differential amplifier, and the output terminal of the differential amplifier to the bases of the bipolar TRs 3 and 4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-43956

(43) 公開日 平成6年(1994)2月18日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 0 5 F 3/30

4237-5H

H 0 3 F 3/45

B 7436-5J

審査請求 未請求 請求項の数2(全7頁)

(21) 出願番号 特願平4-177853

(22) 出願日 平成4年(1992)7月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木村 円

東京都港区芝五丁目7番1号日本電気株式会社内

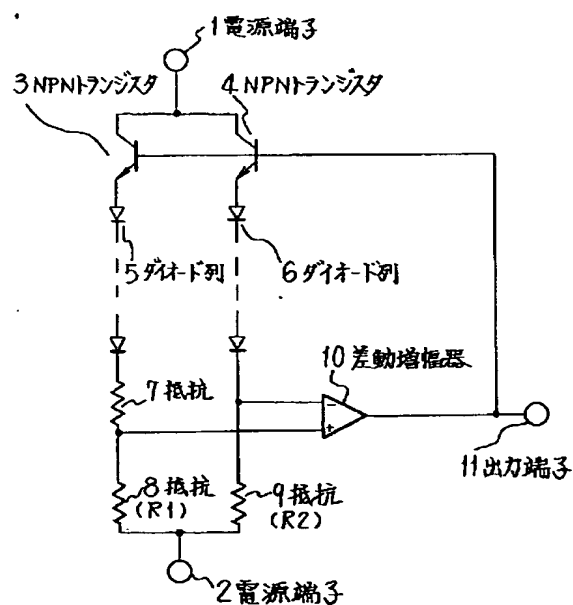
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 基準電圧発生回路

(57) 【要約】 (修正有)

【目的】 差動増幅器への入力電圧を任意に設定できることにより、差動増幅器の実現を容易にすること。

【構成】 電源端子1、2と、バイポーラトランジスタ3、4と、m個直列接続されたダイオード列5、6と、抵抗7、8、9と、差動増幅器10とを含み、電源端子1はバイポーラトランジスタ3、4のコレクタに接続され、電源端子2は抵抗8および抵抗9の他端に接続され、バイポーラトランジスタ3のエミッタはダイオード列5のアノードに接続され、ダイオード列5のカソードは抵抗7の一端に接続され、抵抗7の他端は抵抗8の一端に接続され、バイポーラトランジスタ4のエミッタはダイオード列6のアノードに接続され、ダイオード列6のカソードは抵抗9の一端に接続され、抵抗7の他端は差動増幅器10の非反転入力端子に接続され、抵抗9の一端は差動増幅器の反転入力端子に接続され、差動増幅器の出力端子はバイポーラトランジスタ3、4のベースに接続されている。



1

【特許請求の範囲】

【請求項1】 第1および第2の電源端子と、第1および第2のバイポーラトランジスタと、第1から第kまでのダイオードと第(k+1)から第mまでのダイオードと、それぞれ一端と他端とを有する第1、第2、第3の抵抗と、反転入力端子、非反転入力端子、出力端子を有する差動増幅器と、出力端子とを備え、前記第1の電源端子は前記第1および第2のバイポーラトランジスタのコレクタに接続され、前記第2の電源端子は前記第2の抵抗および第3の抵抗の他端に接続され、前記第1のバイポーラトランジスタのエミッタは前記第1のダイオードのアノードに接続され、前記第1のダイオードのカソードは第kのダイオードのアノードまで同方向に接続されることによりk個のダイオードの直列接続が形成され、前記第kのダイオードのカソードは前記第1の抵抗の一端に接続され、前記第1の抵抗の他端は前記第2の抵抗の一端に抵抗の一端に接続され、前記第2のバイポーラトランジスタのエミッタは前記第(k+1)のダイオードのアノードに接続され、前記第(k+1)のダイオードのカソードは第mのダイオードのアノードまで同方向に接続されることにより(m-k)個のダイオードの直列接続が形成され、前記第mのダイオードのカソードは前記第3の抵抗の一端に接続され、前記第1の抵抗の他端は前記差動増幅器の非反転入力端子に接続され、前記第3の抵抗の一端は前記差動増幅器の反転入力端子に接続され、前記差動増幅器の出力端子は前記第1および第2のバイポーラトランジスタのベースに接続されていることを特徴とする基準電圧発生回路。

【請求項2】 第2の電源端子と出力端子との間に第4、第5の抵抗の直列体が接続され、前記第4、第5の

2

系統の共通接続点を第1および第2のバイポーラトランジスタのベースに接続した請求項1に記載の基準電圧発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は基準電圧発生回路に関し、特にSi(シリコン)半導体のバンド・ギャップ電圧を用いた基準電圧発生回路に関する。

【0002】

【従来の技術】 Si半導体のバンド・ギャップ電圧を用いた従来の基準電圧発生回路を、図3に示す。図3において、本基準電圧発生回路は、NPNトランジスタ27、28と、抵抗29、30、31と、差動増幅器32と、出力端子33と、電源端子25と、電源端子26とを備えている。

【0003】 次に動作について説明する。電源電圧は電源端子25と電源端子26との間に供給され、電源端子26は接地される。差動増幅器32による負帰還により抵抗30と抵抗31の端子電圧は同一電位に保たれる。このことは、NPNトランジスタ27、28のエミッタ電流の比が抵抗30と抵抗31との抵抗比に等しいことを意味している。NPNトランジスタ27のエミッタ電流は、抵抗29にかかる電圧、すなわちNPNトランジスタ27とトランジスタ28のベース・エミッタ間電圧の差で決まる。

【0004】 出力端子33と電源端子26間の電圧は、NPNトランジスタ28のベース・エミッタ間電圧と抵抗31の端子電圧との和になる。この出力電圧V_{OUT}は次のようにあらわされる。

【0005】

$$V_{OUT} = V_{BE2} + \frac{R_1}{R_2} \cdot \frac{kT}{q} \ln \left(\frac{J_2}{J_1} \right) \quad (1)$$

$$V_{BE2} = V_{g0} \left(1 - \frac{T}{T_0} \right) + V_{BE20} \frac{T}{T_0} + \frac{n k T}{q} \ln \frac{T}{T_0} + \frac{k T}{q} \ln \frac{J}{J_{20}} \quad (2)$$

$$\frac{J_2}{J_1} = \frac{I_{C2}}{I_{C1}} \times \frac{A_{E1}}{A_{E2}} = \frac{R_1}{R_2} \times \frac{A_{E1}}{A_{E2}} \quad (3)$$

$$\frac{J_2}{J_{20}} = \frac{T}{T_0} \quad (4)$$

k : ボルツマン定数

q : 電子の電荷

T : 絶対温度 (°K)

V_{g0} : 0°KでのSiバンド・ギャップ電圧 (外挿値=約1.205V)

n : 定数 (約1.5)

J_1, J_2 : NPNトランジスタ27、28の電流密度

I_{C1}, I_{C2} : NPNトランジスタ27、28のコレクタ電流

A_{E1}, A_{E2} : NPNトランジスタ27、28のエミッタ面積

V_{BE2} : NPNトランジスタ28のベース・エミッタ間電圧

V_{BE20} : $T = T_0$ (°K)、 $I_{C2} = I_{C20}$ での V_{BE2} の値

R_1 : 抵抗30の抵抗値

R_2 : 抵抗31の抵抗値

【0006】前記(1)式は、前記(2)～(4)式より次のようにあらわされる。 * 【0007】

$$V_{OUT} = V_{g0} + \frac{T}{T_0} (V_{BE20} - V_{g0}) + (n-1) \frac{kT}{q} \ln \frac{T}{T_0} + \frac{R_1}{R_2} \frac{kT}{q} \ln \left(\frac{R_1 A_{E1}}{R_2 A_{E2}} \right) \quad (5)$$

【0008】この出力電圧 V_{OUT} の温度係数 $T = T_0$ (°K)が零である条件を前記(5)式から求めると、※ 次の(6)式となる。 【0009】

$$V_{BE20} + \frac{R_1 k T_0}{R_2 q} \ln \left(\frac{R_1 A_{E1}}{R_2 A_{E2}} \right) = V_{g0} + (n-1) \frac{k T_0}{q} \quad (6)$$

【0010】前記(6)式の左辺は、 $T = T_0$ (°K)での出力電圧 V_{OUT} の値である。つまり、出力電圧 V_{OUT} を、次のように設定する。 【0011】

$$V_{g0} + (n-1) \frac{kT}{q}$$

【0012】このように設定すると温度係数が零となり、その値は S_1 のバンド・ギャップ電圧にほぼ等しくなる。

【0013】このことから、 R_1/R_2 、 R_3/R_4 の抵抗比、 AE_1/AE_2 のNPNトランジスタのエミッタ面積比を、前記(6)式を満たすように設定すると、 S_1 バンド・ギャップ電圧にほぼ等しい次のような基準電圧(約1.2V)を発生させることができる。

【0014】

$$\text{基準電圧} = [V_{g0} + (n-1) \frac{kT}{q}]$$

【0015】

【発明が解決しようとする課題】この従来の基準電圧発生回路では、 V_{OUT} は約1.2Vの基準電圧を発生する。差動増幅器32の非反転入力端子と反転入力端子の端子電圧は、基準電圧 V_{OUT} から V_{BE2} を引いた値となり、次式で示される。

【0016】

$$V_{OUT} - V_{BE2} = \frac{R_1}{R_2} \cdot \frac{kT}{q} \ln \frac{J_2}{J_1}$$

【0017】ここで、 V_{BE2} は約0.6~0.8Vとなるため、差動増幅器32の非反転入力端子と反転入力端子の端子電圧は約0.4V~0.6Vとなる。従って、従来の基準電圧発生回路では、この様な低入力電圧でも十分に動作する差動増幅器が必要とされ、実現するのは困難であるという欠点があった。

【0018】例えば、図に示すように差動増幅器を、PMOSTランジスタの入力により実現する場合、差動増幅器の入力電圧はNMOSTランジスタ41、42の閾値電圧 V_{TN} より低くなる。その時、PMOSTランジスタ39、40のドレイン-ソース間電圧を V_{DS} 、ゲートソース間電圧を V_{GS} 、閾値電圧を V_{TP} とすると $V_{DS} < V_{GS} - V_{TP}$ となり、PMOSTランジスタ39、40は非飽和状態となり、差動増幅器として十分な特性を確保できない。

【0019】尚図4において、非反転入力端子37がゲート入力されるPMOSTランジスタ39と、反転入力端子38がゲート入力されるPMOSTランジスタ40と、NMOSTランジスタ41、42と、電流源36と、電源端子34、35とを備えている。

【0020】本発明の目的は、前記問題点を解決し、差動増幅器が十分に動作できるようにした基準電圧発生回路を提供することにある。

【0021】

【課題を解決するための手段】本発明の基準電圧発生回

6

路の構成は、第1および第2の電源端子と、第1および第2のバイポーラトランジスタと、第1から第kまでのダイオードと第(k+1)から第mまでのダイオードと、それぞれ一端と他端とを有する第1、第2、第3の抵抗と、反転入力端子、非反転入力端子、出力端子を有する差動増幅器と、出力端子とを備え、前記第1の電源端子は前記第1および第2のバイポーラトランジスタのコレクタに接続され、前記第2の電源端子は前記第2の抵抗および第3の抵抗の他端に接続され、前記第1のバイポーラトランジスタのエミッタは前記第1のダイオードのアノードに接続され、前記第1のダイオードのカソードは第kのダイオードのアノードまで同方向に接続されることによりk個のダイオードの直列接続が形成され、前記第kのダイオードのカソードは前記第1の抵抗の一端に接続され、前記第1の抵抗の他端は前記第2の抵抗の一端に抵抗の一端に接続され、前記第2のバイポーラトランジスタのエミッタは前記第(k+1)のダイオードのアノードに接続され、前記第(k+1)のダイオードのカソードは第mのダイオードのアノードまで同方向に接続されることにより(m-k)個のダイオードの直列接続が形成され、前記第mのダイオードのカソードは前記第3の抵抗の一端に接続され、前記第1の抵抗の他端は前記差動増幅器の非反転入力端子に接続され、前記第3の抵抗の一端は前記差動増幅器の反転入力端子に接続され、前記差動増幅器の出力端子は前記第1および第2のバイポーラトランジスタのベースに接続されていることを特徴とする。

【0022】

【実施例】図1は本発明の第1の実施例の基準電圧発生回路を示す回路図である。図1において、本発明の第1の実施例は、電源端子1、2と、NPNバイポーラトランジスタ3、4と、それぞれm個直列接続されたダイオード列5、6と、それぞれ一端と他端とを有する抵抗7、8、9と、反転入力端子、非反転入力端子、出力端子を有する差動増幅器10と、出力端子11とを備えている。

【0023】ここで、電源端子1はバイポーラトランジスタ3、4のコレクタに接続され、電源端子2は抵抗8および抵抗9の他端に接続され、バイポーラトランジスタ3のエミッタはm個直列接続されたダイオード列5のアノードに接続され、m個直列接続されたダイオード列5のカソードは抵抗7の一端に接続され、抵抗7の他端は抵抗8の一端に接続され、バイポーラトランジスタ4のエミッタはm個直列接続されたダイオード列6のアノードに接続され、m個直列接続されたダイオード列6のカソードは抵抗9の一端に接続され、抵抗7の他端は差動増幅器10の非反転入力端子に接続され、抵抗9の一端は差動増幅器10の反転入力端子に接続され、差動増幅器10の出力端子はバイポーラトランジスタ3、4のベースに接続されている。

7

【0024】次に動作について説明する。電源電圧は電源端子1と電源端子2との間に供給され、電源端子2は接地される。差動増幅器10による負帰還により抵抗8と抵抗9の端子電圧は同一電位に保たれる。このことは、NPNトランジスタ3、4のエミッタ電流の比が抵抗8と抵抗9の抵抗比に等しいことを意味している。NPNトランジスタ3のエミッタ電流は抵抗7にかかる電圧、すなわちNPNトランジスタ3のベース・エミッタ間電圧とダイオード列5のアノード・カソード間電圧の*

8

*和、およびNPNトランジスタ4のベース・エミッタ間電圧とダイオード列6のアノード・カソード間電圧の和の二つの和の差で決まる。

【0025】出力端子11と電源端子2間の電圧は、NPNトランジスタ4のベース・エミッタ間電圧とダイオード列5のアノード・カソード間電圧と抵抗7の端子電圧との和になる。この出力電圧VOUTは次のようにならわされる。

【0026】

$$V_{OUT} = V_{BE2} + m \times V_{D2} + \left[(V_{BE2} + m \times V_{D2}) - (V_{BE1} + m \times V_{D1}) \right] \frac{R1}{R2} \quad \text{----- (7)}$$

VBE1: NPNトランジスタ3のベース・エミッタ間電圧

VBE2: NPNトランジスタ4のベース・エミッタ間電圧

VD1: ダイオード列5を構成するダイオードのアノード・カソード間電圧

VD2: ダイオード列6を構成するダイオードのアノード・カソード間電圧

R1: 抵抗8の抵抗値

R2: 抵抗9の抵抗値

【0027】一般に、図5に示すようにダイオード列5を構成するダイオードには、NPNトランジスタ3と同じトランジスタ43を用い、コレクタとベースを接続した点をアノード44、エミッタをカソード45とする。※

$$V_{BE1} = V_{D5}, V_{BE2} = V_{D6}$$

前記(8)式を、前記(7)式に代入すると、次式となる。

※ダイオード列6を構成するダイオードにはNPNトランジスタ4と同じトランジスタを用い、コレクタとベースを接続した点をアノード、エミッタをカソードとする。したがって、次の(8)式が成り立つ。

... (8)

★【0028】

★30

$$V_{OUT} = (1 + m) \left[V_{BE2} + \frac{R1}{R2} \cdot \frac{kT}{q} \left\{ n \left(\frac{J2}{J1} \right) \right\} \right] \quad \text{----- (9)}$$

【0029】ここで、[]内は従来例の(1)式の右辺に等しくなる。よって、VOUTは従来例の基準電圧(約1.2V)の(1+m)倍の値になりmの値により約1.2Vの整数倍の基準電圧を発生することができ、その時温度係数も零となる。

【0030】ここで、k: ボルツマン定数

q: 電子の電荷

T: 絶対温度(°K)

J1: NPNトランジスタ3およびダイオード列5を構成するダイオードの電流密度

J2: NPNトランジスタ4およびダイオード列6を構成するダイオードの電流密度

図2は本発明の第2の実施例の回路図である。図2において、本発明の第2の実施例は、電源端子12、13と、バイポーラトランジスタ14、15と、m個直列接続されたダイオード列16、17と、それぞれ一端と他端を有する抵抗18、19、20、21、22と、反転

入力端子、非反転入力端子、出力端子を有する差動増幅器23と、出力端子24とを備えている。

【0031】ここで、電源端子12はバイポーラトランジスタ14、15のコレクタに接続され、電源端子13は抵抗19および抵抗20および抵抗22の他端に接続され、バイポーラトランジスタ14のエミッタはm個直列接続されたダイオード列16のアノードに接続され、m個直列接続されたダイオード列16のカソードは抵抗18の一端に接続され、抵抗18の他端は抵抗19の一端に接続され、バイポーラトランジスタ15のエミッタはm個直列接続されたダイオード列17のアノードに接続され、m個直列接続されたダイオード列17のカソードは抵抗20の一端に接続され、抵抗18の他端は差動増幅器23の非反転入力端子に接続され、抵抗20の一端は差動増幅器23の反転入力端子に接続され、差動増幅器23の出力端子は抵抗21の一端に接続され、抵抗21の他端は抵抗22の一端に接続されると共にバイポ

9

ーラトランジスタ14, 15のベースに接続されている。

【0032】前記第1の実施例では、Siのバンド・ギャップにほぼ等しい約+1.2Vの(1+m)倍の基準電圧を発生される回路を説明したが、本実施例では、図2に示すごとく、差動増幅器23の出力を抵抗21と抵抗22で分割した点からNPNトランジスタ14, 15のベースに接続する構成をとれば、差動増幅器23の出力端子24の出力電圧VOUTは、NPNトランジスタ*

$$V_{OUT} = \left(1 + \frac{R_4}{R_5}\right) (1+m) [V_{BE2} + \frac{R_1}{R_2} \cdot \frac{kT}{q} \left\{ \ln \left(\frac{J_2}{J_1} \right) \right\}] \quad \text{----- (10)}$$

【0035】前記(10)式からR4/R5の抵抗比を任意に選ぶことにより任意の基準電圧を発生させることができる。

【0036】

【発明の効果】以上説明したように、本発明は、例えば※

$$V_{OUT} - (1+m)V_{BE2} = (1+m) \left(\frac{R_1}{R_2} \cdot \frac{kT}{q} \left\{ \ln \frac{J_2}{J_1} \right\} \right)$$

【0038】ここで、VBE2は約0.6~0.8Vとなるため、差動増幅器の非反転入力端子と反転入力端子の端子電圧は、約0.4V~0.6Vの(1+m)倍となる。したがって、差動増幅器を実現するのは容易となるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の基準電圧発生回路を示す回路図である。

【図2】本発明の第2の実施例の回路図である。

【図3】従来例の基準電圧発生回路を示す回路図である。

【図4】差動増幅器の例を示す回路図である。

【図5】ダイオードとして使う時のNPNトランジスタを示す回路図である。

【符号の説明】

3, 4, 14, 15, 27, 28, 43 NPNトラ

10

*14, 15のベース電圧の(1+R4/R5)倍となる。

【0033】R4:抵抗21の抵抗値

R5:抵抗22の抵抗値

ベース端子電圧は、図1で説明したように約+1.2Vの(1+m)倍の基準電圧になるため、出力端子24の出力電圧VOUTは次のようになる。

【0034】

※VOUTは約1.2Vの(1+m)倍の基準電圧を発生することができる。差動増幅器の非反転入力端子と反転入力端子電圧は、基準電圧VOUTから(1+m)倍のVBE2を引いた値となり、次式で示される。

【0037】

$$\frac{R_1}{R_2} \cdot \frac{kT}{q} \left\{ \ln \frac{J_2}{J_1} \right\}$$

ンジスタ

5, 6, 16, 17 ダイオード列

7, 8, 9, 20, 21, 22, 29, 30, 31

抵抗

10, 23, 32 差動増幅器

11, 24, 33 出力端子

1, 2, 12, 13, 25, 26, 34, 35 電源

端子

36 電流源

37 非反転入力端子

38 反転入力端子

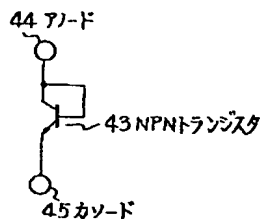
39, 40 PMOSTランジスタ

41, 42 NMOSTランジスタ

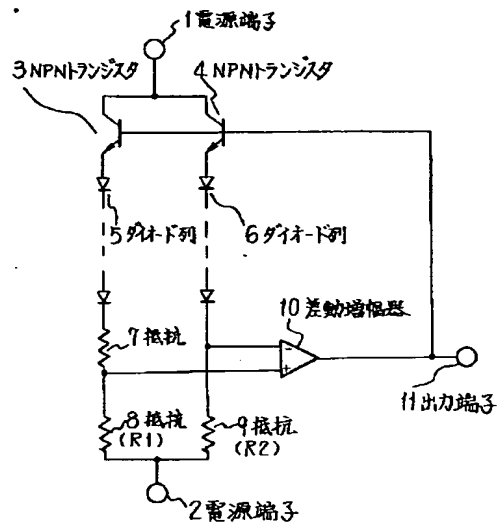
44 アノード

45 カソード

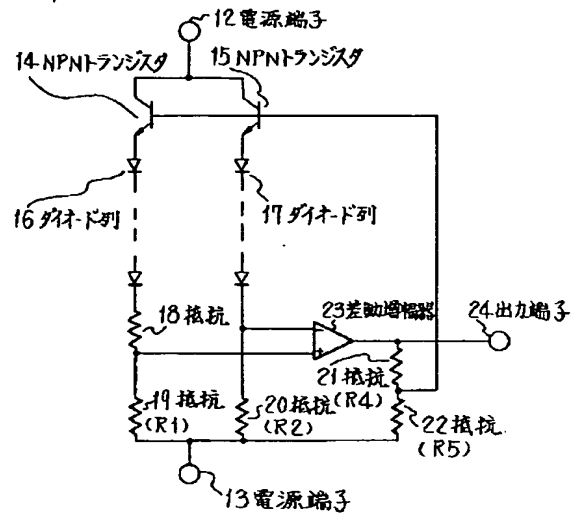
【図5】



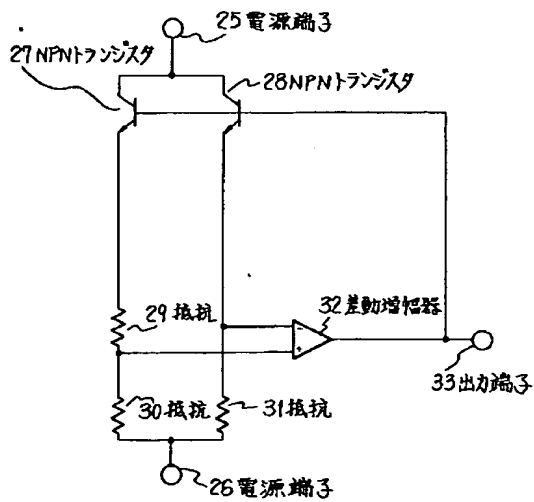
【図1】



【図2】



【図3】



【図4】

